

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020047487 A  
(43)Date of publication of application: 22.06.2002

(21)Application number: 1020000075941  
(22)Date of filing: 13.12.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: KIM, GYU HONG

(51)Int. Cl. G11C 11/401

---

(54) MEMORY DEVICE FOR REDUCING REFRESH NOISE

---

(57) Abstract:



PURPOSE: A memory device for reducing a refresh noise is provided to reduce a power noise generated when simultaneously refreshing a plurality of memory cell blocks.

CONSTITUTION: Each of memory cell blocks(101-104) includes a plurality of memory cells. Sense amplifiers(111-115) input and output data of the memory cell blocks(101-104). A block selector(3000) outputs a plurality of block selecting signals corresponding to a plurality of control signals which are generated according to a block selecting address. The block selector(3000) includes a fixed selection circuit group and a delayed-type selection circuit group. A row decoder(2000) selects at least one memory cell block corresponding to at least one activated block selecting signal among the plurality of block selecting signals. The row decoder(2000) includes 4 row address decoder blocks and responds to 4 output signals of the block selector(3000).

&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20030226)

Patent registration number (1003781890000)

Date of registration (20030318)

**BEST AVAILABLE COPY**

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G11C 11/401

(11) 공개번호 특2002-0047487  
(43) 공개일자 2002년06월22일

(21) 출원번호	10-2000-0075941
(22) 출원일자	2000년12월13일
(71) 출원인	삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416
(72) 발명자	김규홍
(74) 대리인	서울특별시시초구서초2동무지개아파트1335무지개아파트8동101호 이영필, 장상빈, 미래호

**실사참구 : 있음**

**(54) 리프레시 잡음을 감소시키는 메모리 장치**

**요약**

복수 개의 메모리셀 블록들이 동시에 리프레시 될 때 발생하는 리프레시 잡음을 감소시키는 메모리 장치를 개시한다. 상기 메모리장치는, 복수 개의 메모리셀 블록들, 블록선택부 및 로우디코더를 구비한다. 상기 복수 개의 메모리셀 블록들은 각각 복수 개의 메모리 셀들을 포함하고, 상기 블록선택부는, 블록선택 어드레스에 의해 생성된 복수 개의 제어신호에 대응하는 복수 개의 블록선택신호들을 출력하며, 상기 로우디코더는 상기 복수 개의 블록선택신호들 중 활성화된 적어도 하나의 블록선택신호에 대응하는 적어도 하나의 메모리셀 블록을 선택하고, 로우어드레스에 응답하여 선택된 메모리셀 블록의 워드라인을 활성화시킨다. 리프레시 모드시, 상기 블록선택부는, 상기 복수 개의 메모리셀 블록들 중에서 N(자연수)개 씩 선택하고 상기 N개의 메모리셀 블록들이 소정의 시간간격을 갖고 순차적으로 선택되도록 상기 로우디코더를 제어한다. 상기 메모리장치는, 선택된 복수 개의 메모리블록들을 동시에 리프레시 하지 않고 일정한 시간 간격을 두고 리프레시 하기 때문에, 전원잡음의 최고치(power noise peak value)를 줄일 수 있는 장점이 있다.

**도면**

**도1**

**발명시**

**도면의 간단한 설명**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일 실시예에 따른 메모리장치의 블록도이다.

도 2는 도 1에 도시한 블록선택부의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 메모리 장치의 리프레시 모드에서의 파형도이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 메모리장치에 관한 것으로서, 특히 DRAM의 리프레시(refresh)의 제어에 관한 것이다.

보통 DRAM(Dynamic RAM)에서는 셀(cell)에 저장된 데이터를 보존하기 위하여 리프레시라는 데이터 충전의 과정을 필수적으로 수행하여야 한다.

리프레시란, 메모리 셀 커패시터(memory cell capacitor)에 충전된 전하들이 반도체 표면 등을 따라 누설(leakage)되므로, 메모리 셀에 충전된 후 누설되는 전하량이 일정한 수준에 미르기 전에 이를 보충시키는 것을 말한다. 리프레시는 시스템에서 발생한 일정한 명령에 의해 수행되기도 하고(CAS before RAS refresh), 일정한 조건 하에서 자동으로 수행되기도 한다(auto refresh). 상기 리프레시의 과정을 살펴보면, 손실된 셀 데이터를 센스 증폭기(sense amplifier)를 통하여 감지하고, 상기 센스 증폭기를 통해 충전의 데이터 상태를 유지하도록 전하들을 보충시키는 작업을 반복적으로 수행한다. 일반적으로 리프레시 시간간격은 메모리 셀 커패시터의 용량과 상기 메모리 셀에 사용된 모스트랜지스터의 사이즈에 의해 결정

된다.

메모리의 집적도가 증가함에 따라, 리프레시 해야하는 메모리 열(row)의 증가와 함께 리프레시 사이클이 증가하므로 리프레시 타임도 증가할 수밖에 없다. 그러나 메모리를 사용하는 시스템은 오히려 리프레시 타임을 감소시키려고 하기 때문에, 메모리의 집적도가 증가함에 따라 더불어 증가하는 리프레시 사이클을 보상하기 위하여 리프레시 시간간격(refresh interval)을 상대적으로 줄이는 방법이 사용되어 왔다.

따라서 리프레시의 일 구간동안 메모리셀 블록(memory cell block)들 중 하나의 메모리셀 블록(sub-memory cell array block)을 리프레시 시키지 않고, 동시에 여러 개의 메모리셀 블록들을 리프레시 시키는 방법이 제공되었다. 그러나, 동시에 리프레시 되는 메모리셀 블록들이 증가함에 따라 피크전류(peak current) 및 순간 파워소모량(power consumption) 증가하게 되어 노이즈 피크(noise peak)가 커지므로 이를 고려한 회로의 설계 및 전원 메탈 배선(power metal routing)이 어려워지는 단점이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는, 복수 개의 메모리셀 블록들을 동시에 리프레시시킬 때 발생하는 전원잡음(power noise)을 줄이는 메모리 장치를 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따르면, 상기 메모리장치는, 복수 개의 메모리셀 블록들, 블록선택부 및 로우디코더를 구비한다.

상기 복수 개의 메모리셀 블록들은 각각 복수 개의 메모리 셀들을 포함하고, 상기 블록선택부는, 블록선택 어드레스에 의해 생성된 복수 개의 제어신호에 대응하는 복수 개의 블록선택신호를 출력하며, 상기 로우디코더는 상기 복수 개의 블록선택신호들 중 활성화된 적어도 하나의 블록선택신호에 대응하는 적어도 하나의 메모리셀 블록을 선택하고, 로우어드레스에 응답하여 선택된 메모리셀 블록의 워드라인을 활성화시킨다.

리프레시 모드시, 상기 블록선택부는, 상기 복수 개의 메모리셀 블록들 중에서 N(자연수)개 씩 선택하고 상기 N개의 메모리셀 블록들이 소정의 시간지연을 갖고 순차적으로 선택되도록 상기 로우디코더를 제어한다.

상기 블록선택부는, 상기 제어신호의 하나에 대응하는 블록선택신호를 출력하는 고정형 선택회로그룹 1개 및 상기 제어신호의 다른 하나 및 리프레시 모드시 활성화되는 신호에 대응하는 블록선택신호를 출력하는 지연형 선택회로그룹을 N-1(N minus one)개 구비한다.

상기 고정형 선택회로그룹은, 정상동작 모드시 또는 리프레시 모드시, 상기 하나의 제어신호에 대응하는 블록선택신호를 직접 출력하고, 상기 지연형 선택회로그룹은, 정상동작 모드시 상기 다른 하나의 제어신호에 대응하는 블록선택신호를 직접 출력하고, 리프레시 모드시 상기 다른 하나의 제어신호 및 상기 리프레시 모드시 활성화되는 신호에 대응하여 상기 소정의 시간 지연 후에 블록선택신호를 출력하도록 동작한다.

상기 1개의 고정형 선택회로그룹은, 복수 개의 고정형 선택회로를 구비하고, 상기 N-1개의 지연형 선택회로그룹은 복수 개의 지연형 선택회로를 각각 구비하며, 상기 N-1개의 지연형 선택회로그룹간의 시간 지연은 서로 다르다.

상기 고정형 선택회로는, 일단에 공급전원전압이 인가되고 다른 일단에 상기 하나의 제어신호가 인가되는 낸드게이트를 구비한다. 상기 지연형 선택회로는, 상기 하나의 제어신호를 소정의 시간 지연시키는 지연 기, 상기 리프레시 모드시 활성화되는 신호를 반전시키는 제1인버터, 상기 리프레시 모드시 활성화되는 신호 및 상기 지연기의 출력신호에 응답하는 제1낸드게이트, 상기 하나의 제어신호 및 상기 제1인버터의 출력신호에 응답하는 제2낸드게이트, 상기 제1낸드게이트 및 상기 제2낸드게이트의 출력신호에 응답하는 제3낸드게이트 및 상기 제3낸드게이트를 반전시키는 제2인버터를 구비한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 1은 본 발명의 일 실시예에 따른 메모리장치의 블록도이다.

도 1을 참조하면, 상기 메모리장치는, 메모리셀 블록들(101 내지 104), 센스증폭기들(111 내지 115), 로우디코더(2000) 및 블록선택부(3000)를 구비한다.

메모리셀 블록들(101 내지 104)은 각각 복수 개의 메모리셀들을 포함하고, 센스증폭기들(111 내지 115)은 메모리셀 블록들(101 내지 104)의 데이터를 입출력한다.

로우디코더(2000)는, 4개의 로우어드레스 디코더 블록들(201 내지 204)을 구비하여 블록선택부(3000)의 4개의 출력신호들(BLS1 내지 BLS4)에 각각 응답한다. 블록선택부(3000)의 4개의 출력신호들(BLS1 내지 BLS4) 중에서 활성화된 신호를 수신한 적어도 하나의 임의의 로우어드레스 디코더 블록은 8비트의 로우어드레스(RA0 내지 RA7)에 응답하여 선택된 메모리셀 블록의 워드라인(W/L1 내지 W/LM, M은 자연수)을 활성화시킨다.

블록선택부(3000)는 고정형 선택회로그룹(310) 및 지연형 선택회로그룹(320)을 구비한다. 고정형 선택회로그룹(310)은 2비트의 블록선택 어드레스(로우어드레스의 RA8 및 RA9, 미도시)에 의해 생성된 4개의 제어신호(RA89B, RA89B, RA89B 및 RA89B) 중에서 하나의 제어신호(RA89B)에 응답하는 고정형 선택회로(311) 및 다른 하나의 제어신호(RA89B)에 응답하는 고정형 선택회로(312)를 구비한다. 지연형 선택회로그룹(320)은 하나의 제어신호(RA89B) 및 리프레시 모드시 활성화되는 신호(PRFHD)에 응답하는 지연형 선택회로(321) 및 다른 하나의 제어신호(RA89B) 및 신호(PRFHD)에 응답하는 지연형 선택회로(322)를 구비한다.

도 2는 도 1에 도시된 블록선택부의 회로도이다.

도 2를 참조하면, 하나의 고정형 선택회로(311)는 일단에 공급전원전압이 인가되고 다른 일단에 하나의 제어신호(RA89B)가 인가된 낸드게이트(31)를 구비하여 신호(BLS1)를 출력하고, 다른 하나의 고정형 선택회로(312)는 일단에 공급전원전압이 인가되고 다른 일단에 다른 하나의 제어신호(RA89B)가 인가된 낸드게이트(32)를 구비하여 신호(BLS2)를 출력한다.

하나의 지연형 선택회로(321)는, 지연기(33), 제1인버터(34), 제1낸드게이트(35), 제2낸드게이트(36), 제3낸드게이트(37) 및 제2인버터(38)를 구비한다. 지연기(33)는 하나의 제어신호(RA89B)를 지연시키며, 제1인버터(34)는 신호(PRFHD)를 반전시킨다. 제1낸드게이트(35)는 신호(PRFHD) 및 지연기(33)의 출력신호에 응답하며, 제2낸드게이트(36)는 제어신호(RA89B) 및 제1인버터(34)의 출력신호에 응답한다. 제3낸드게이트(37)는 제1낸드게이트(35)의 출력신호 및 제2낸드게이트(36)의 출력신호에 응답하며, 제2인버터(38)는 제3낸드게이트(37)의 출력신호를 반전시킨 신호(BLS3)를 출력한다.

다른 하나의 지연형 선택회로(322)는, 지연기(39), 제1인버터(40), 제1낸드게이트(41), 제2낸드게이트(42), 제3낸드게이트(43) 및 제2인버터(44)를 구비한다. 지연기(39)는 하나의 제어신호(RA89)를 지연시키며, 제1인버터(40)는 신호(PRFHD)를 반전시킨다. 제1낸드게이트(41)는 신호(PRFHD) 및 지연기(39)의 출력신호에 응답하며, 제2낸드게이트(42)는 제어신호(RA89) 및 제1인버터(40)의 출력신호에 응답한다. 제3낸드게이트(43)는 제1낸드게이트(41)의 출력신호 및 제2낸드게이트(42)의 출력신호에 응답하며, 제2인버터(44)는 제3낸드게이트(43)의 출력신호를 반전시킨 신호(BLS4)를 출력한다.

도 1에 도시된 제어신호들(RA89B, RA89B, RA89B 및 RA89)은, 블록선택에 대한 정보를 포함하는 로우머드레스(미도시)의 상위 2개 비트(RA8 및 RA9)를 이용하여 생성된다.

정상동작 모드시, 제어신호들(RA89B, RA89B, RA89B 및 RA89) 중에서 하나의 제어신호만이 활성화되고 나머지 제어신호들을 불활성화하므로, 이에 응답하여 동작하는 블록선택부(300)의 블록선택신호들(BLS1 내지 BLS4)도 하나의 블록선택신호만이 활성화되어 하나의 메모리셀 블록이 선택된다.

리프레시 모드시, 제어신호들(RA89B, RA89B, RA89B 및 RA89) 중에서 2개씩의 제어신호들(RA89B와 RA89B 및 RA89B와 RA89)이 서로 쌍을 이루어 활성화되므로, 이에 응답하여 동작하는 블록선택부(300)의 블록선택신호들(BLS1 내지 BLS4)도 2개씩의 블록선택신호들(BLS1과 BLS3 및 BLS2와 BLS4)이 활성화되어 2개의 메모리셀들이 선택된다.

도 3은 본 발명의 일 실시예에 따른 메모리 장치의 리프레시 모드에서의 파형도이다.

도 3을 참조하면, 블록선택회로(301)의 출력신호(BLS1)가 활성화된 후 일정한 지연시간(t) 후에 블록선택회로(303)의 출력신호(BLS3)가 활성화됨을 알 수 있다. t는 도 2에 도시된 지연기(33, 39)의 지연시간에 해당된다. 여기서, 파형(PRFH)을 리프레시 명령신호이고, 파형(PRFHD)을 리프레시 명령신호의 지연된 신호이며, 파형들(CBL1 및 CBL3)은 각각 블록선택회로들(311 및 321)의 출력신호들(BLS1 및 BLS3)에 따라 선택된 각각의 로우워드라인들( $\sqrt{L_1}$  및  $\sqrt{L_3}$ )이 리프레시 되는 것을 나타낸다.

정리하면, 본 발명의 일 실시예에 메모리장치는, 하나의 리프레시 명령신호에 의해 두개의 메모리셀 블록들이 일정시간(t)의 차이를 두고 서로 다른 시간에 리프레시가 개시(위로 향한 화살표)된다.

리프레시가 수행될 때 전원에서 공급하는 전류가 최대가 되는 때는 리프레시가 시작되는 순간이므로, 복수 개의 메모리셀 블록들의 리프레시 개시시간을 분산시켜 리프레시를 수행하는 본 발명의 일 실시예에 따른 메모리장치의 리프레시 방법은, 전원의 노이즈 피크(noise peak)를 감소시키고, 전원배선(power routing)의 측면에서도 설계자의 오버헤드(overhead)를 줄일 수 있다.

본 발명은 4개의 메모리셀 블록을 및 2비트의 어드레스를 이용한 리프레시 모드를 예로 들었으나, 보다 많은 메모리셀 블록을 및 보다 많은 비트의 어드레스를 이용하는 경우에도 쉽게 확장할 수 있다. 이 경우 본 발명에 따른 지연형 선택회로의 지연기의 지연시간을 적당히 조절하여 사용함으로써 상기 확장을 보다 쉽게 할 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

## 발명의 효과

상술한 바와 같이, 복수 개의 메모리셀 블록들을 리프레시시킬 때 상기 메모리셀 블록들의 각각의 리프레시 개시 순간을 일정시간 순차적으로 지연시켜 분산시킴으로 전원의 노이즈피크 및 설계자의 오버헤드를 줄일 수 있는 장점이 있다.

## (57) 청구의 범위

### 청구항 1

복수 개의 메모리셀 블록들;

블록선택 어드레스에 의해 생성된 복수 개의 제어신호에 대응하는 복수 개의 블록선택신호들을 출력하는 블록선택부; 및

상기 복수 개의 블록선택신호들 중 활성화된 적어도 하나의 블록선택신호에 대응하는 적어도 하나의 메모리셀 블록을 선택하고, 로우머드레스에 응답하여 선택된 메모리셀 블록의 워드라인을 활성화시키는 로우 디코더를 구비하고,

리프레시 모드시, 상기 블록선택부는, 상기 복수 개의 메모리셀 블록들 중에서  $N$ (자연수)개 씩 선택하고 상기  $N$ 개의 메모리셀 블록들이 소정의 시간지연을 갖고 순차적으로 선택되도록 상기 로우디코더를 제어하는 것을 특징으로 하는 메모리장치.

#### 청구항 2.

제1항에 있어서, 상기 블록선택부는,

정상동작 모드시 상기 복수 개의 메모리셀 블록들 중에서 하나씩 선택하는 것을 특징으로 하는 메모리장치.

#### 청구항 3.

제2항에 있어서, 상기 블록선택부는,

상기 제어신호의 하나에 대응하는 블록선택신호를 출력하는 고정형 선택회로그룹 1개; 및

상기 제어신호의 다른 하나 및 리프레시 모드시 활성화되는 신호에 대응하는 블록선택신호를 출력하는 지연형 선택회로그룹을  $N-1$ ( $N$  minus one)개 구비하며,

상기 고정형 선택회로그룹은, 정상동작 모드시 또는 리프레시 모드시, 상기 하나의 제어신호에 대응하는 블록선택신호를 직접 출력하고,

상기 지연형 선택회로그룹은, 정상동작 모드시 상기 다른 하나의 제어신호에 대응하는 블록선택신호를 직접 출력하고, 리프레시 모드시 상기 다른 하나의 제어신호 및 상기 리프레시 모드시 활성화되는 신호에 대응하여 상기 소정의 시간 지연 후에 블록선택신호를 출력하는 것을 특징으로 하는 메모리장치.

#### 청구항 4.

제3항에 있어서, 상기 1개의 고정형 선택회로그룹은,

복수 개의 고정형 선택회로를 구비하고,

상기  $N-1$ 개의 가변형 선택회로그룹은,

복수 개의 가변형 선택회로를 각각 구비하며,

상기  $N-1$ 개의 가변형 선택회로그룹간의 시간 지연은 서로 다른 것을 특징으로 하는 메모리장치.

#### 청구항 5.

제4항에 있어서, 상기 고정형 선택회로는,

일단에 공급전원전압이 인가되고 다른 일단에 상기 하나의 제어신호가 인가되는 낸드게이트를 구비하는 것을 특징으로 하는 메모리장치.

#### 청구항 6.

제4항에 있어서, 상기 가변형 선택회로는,

상기 하나의 제어신호를 소정의 시간 지연시키는 지연기;

상기 리프레시 모드시 활성화되는 신호를 반전시키는 제1인버터;

상기 리프레시 모드시 활성화되는 신호 및 상기 지연기의 출력신호에 응답하는 제1낸드게이트;

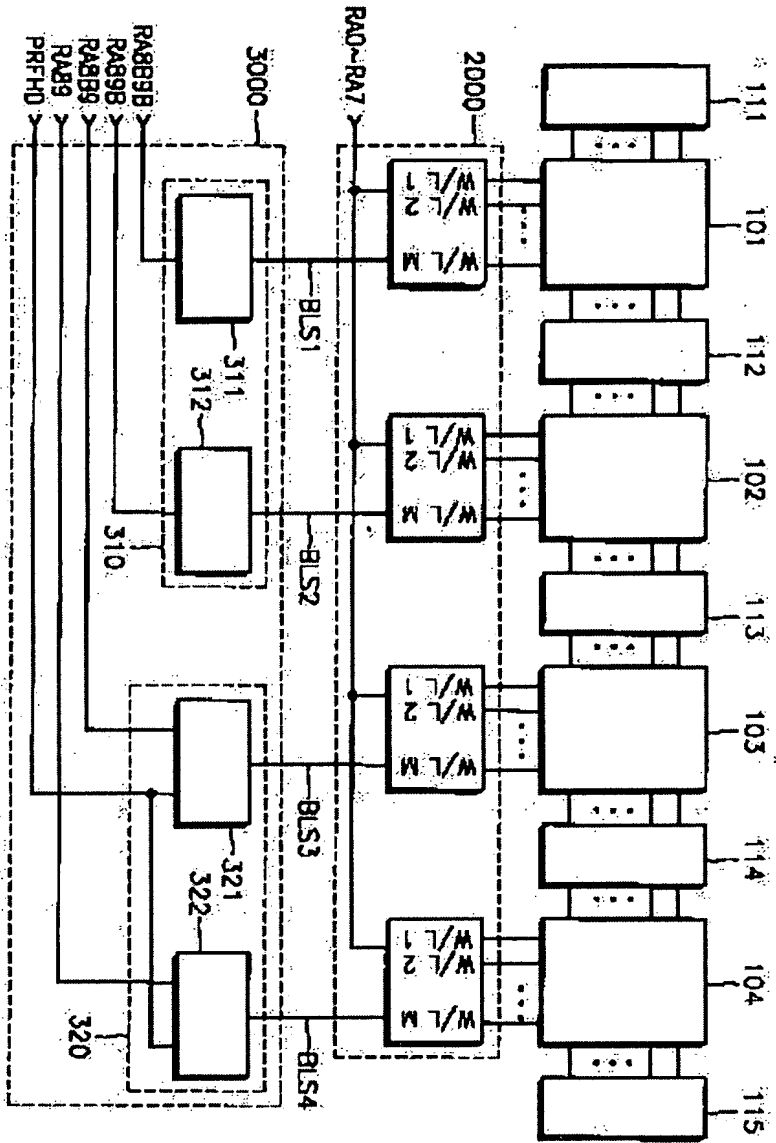
상기 하나의 제어신호 및 상기 제1인버터의 출력신호에 응답하는 제2낸드게이트;

상기 제1낸드게이트 및 상기 제2낸드게이트의 출력신호에 응답하는 제3낸드게이트; 및

상기 제3낸드게이트를 반전시키는 제2인버터를 구비하는 것을 특징으로 하는 메모리장치.

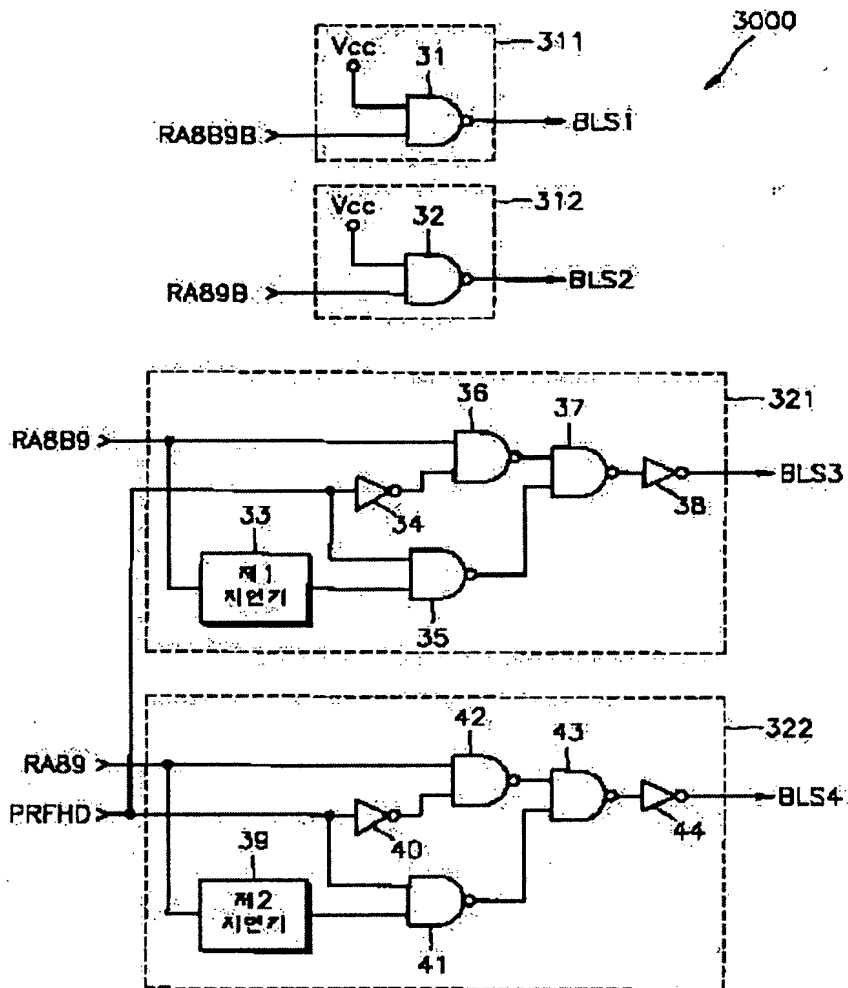
도면

5B1



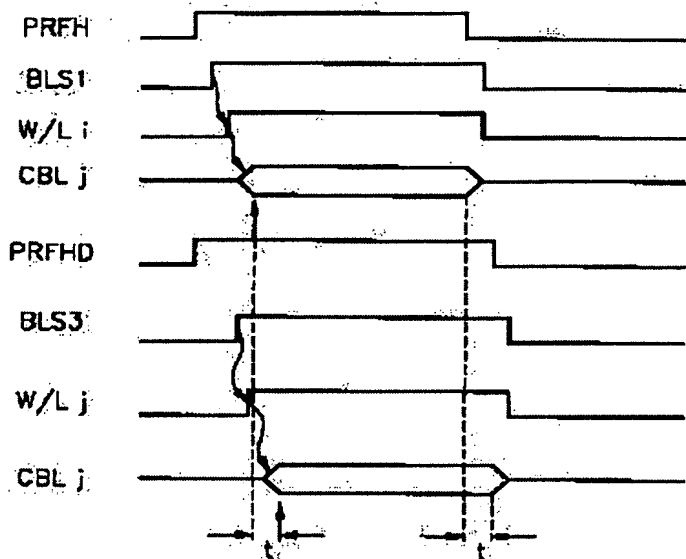
BEST AVAILABLE COPY

도면 2



BEST AVAILABLE COPY

EB3



BEST AVAILABLE COPY